

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-226593
 (43)Date of publication of application : 03.09.1993

(51)Int.CI. H01L 27/092

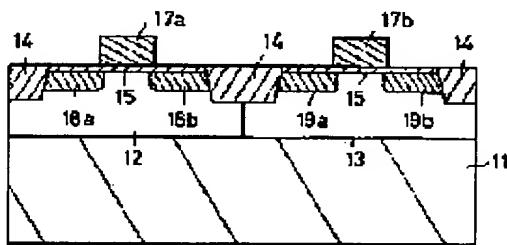
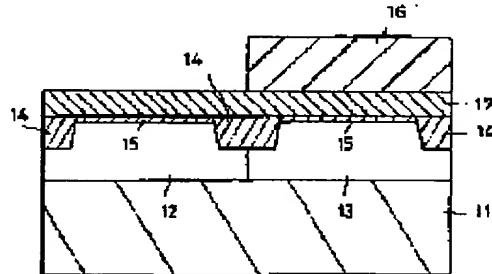
(21)Application number : 04-024220 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 12.02.1992 (72)Inventor : IWASE MASAO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To sufficiently diffuse both N-type impurities and P-type impurities which have been introduced into gate electrodes by a method wherein an N-type gate electrode is annealed longer than a P-type gate electrode.

CONSTITUTION: Arsenic to be used as N-type impurities is ion-implanted into a polycrystalline silicon film 17 on the side of an N-type MOSFET; after that, an annealing operation is performed at 1000° C for about 20 second. Then, polycrystalline silicon films 17a, 17b are patterned; gate electrodes for the FET are formed. Ton seeds whose type is the same as that of a channel for the MOSFET are ion-implanted, in a self-aligned manner, into the gate electrodes as well as a P-type well layer and an N-type well layer on bothe sides of them; they are diffused; N-type diffusion layers 18a, 18b and P-type diffusion layers 19a, 19b which are to be used as source regions and drain regions are formed. As ion implantation conditions, arsenic is used for an N-type region and boron is used for a P-type region. After that, the gate electrodes 17a, 17b and the diffusion layers 18a, 18b, 19a, 19b are annealed at 1000° C for 20 seconds. Thereby, it is possible to complete the FET in which the impurities the have been diffused sufficiently into the N-type and P-type gate electrodes.



LEGAL STATUS

[Date of request for examination] 08.02.1999

[Date of sending the examiner's decision of rejection] 19.12.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-226593

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl.⁵
H 01 L 27/092

識別記号
7342-4M

F I

技術表示箇所

H 01 L 27/ 08

3 2 1 D

審査請求 未請求 請求項の数 5(全 5 頁)

(21)出願番号 特願平4-24220

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成4年(1992)2月12日

(72)発明者 岩瀬 政雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74)代理人 弁理士 則近 憲佑

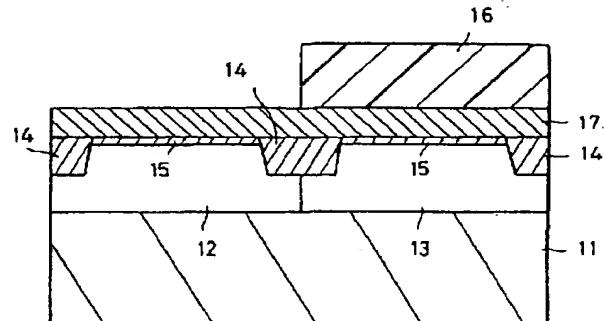
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明は CMOS 素子の性能向上を目的とする。

【構成】 N型ゲート電極のアニールを P型ゲート電極のアニールより長く行う事により、N型ゲート電極への不純物拡散を長くして、P型、N型両イオンの拡散係数の差を補う。

【効果】 上記の方法により、ゲート電極中の不純物拡散を P型、N型共に充分に行うことができるため、ゲート電極中の抵抗が下げられ、素子の性能劣化を抑制できる。



【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を介して、CMOS素子のゲート電極を設け、このCMOS素子を構成するPチャネル素子、Nチャネル素子のゲート電極中に夫々P型、N型の不純物を導入するようにした半導体装置の製造方法に於いて、N型不純物導入以後のNチャネル素子のゲート電極の熱処理時間がP型不純物導入以後のPチャネル素子のゲート電極の熱処理時間より長くなるようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 Nチャネル素子のゲート電極のみに不純物を導入して第1の熱処理を行い、その後、Pチャネル素子のゲート電極にも不純物を導入して、第2の熱処理を行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 Nチャネル素子、Pチャネル素子のゲート電極への不純物導入をイオン注入により行うことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 Nチャネル素子のゲート電極への不純物導入及び第1の熱処理をN型不純物の熱拡散により行うことと特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 Pチャネル素子領域上にマスク層を形成して、Nチャネル素子領域のみに不純物を導入し、ラピッドサーマルアニールを行った後、Pチャネル素子領域にも不純物を導入し、Nチャネル素子領域、Pチャネル素子領域両方のラピッドサーマルアニールを行うことを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この技術は半導体装置、特に微細かつ高性能なCMOSの製造方法に関する。

【0002】

【従来の技術】 近年、半導体技術の発展に伴って、素子の微細化、高集積化が進められている。素子の微細化が進められてくると、トランジスタの短チャネル化に伴うしきい値電圧の低下が激しくなることは良く知られている。特に、埋め込み導電型のMISトランジスタではチャネルが半導体装置表面から少し内部に入ったところに形成されるため、ゲートバイアスによるドレイン電流の制御性が悪く、短チャネル効果が顕著となる。一方、表面導電型ではチャネルがゲート絶縁膜と半導体の界面に近接して形成されているため、ゲートバイアスによるドレイン電流の制御性は埋め込み導電型よりも改善される。Nチャネル素子、およびPチャネル素子のCMOS構造で、表面導電型のノーマリーオフのトランジスタを得るために、Nチャネル素子に対してはN型多結晶シリコンゲートを用い、Pチャネル素子に対してはP型多結晶シリコンゲートを用いる方法が良く用いられている。このような半導体装置におけるゲート電極の形成方

法の例を図7、図8に示す。まず例えばシリコン基板1にP型およびN型ウエル領域2、3を形成した後に素子分離用絶縁膜4を通常用いられている例えば選択酸化法により形成して、トランジスタの形成予定領域を形成する。その後、ゲート絶縁膜5をP型およびN型ウエル領域2、3上に形成する。そして、ゲート絶縁膜5上にトランジスタのゲート電極6a、6bを形成する(図7)。次にチャネルと同タイプのイオン種をゲート電極およびゲート電極の両側のP型またはN型ウエル領域上に自己整合的にイオン注入して熱拡散させ、ソース領域及びドレイン領域となる拡散層7a、7bおよび8a、8bを形成する(図8)。この後は、通常用いられているFETのプロセスを経て、CMOS構造のNチャネル素子、およびPチャネル素子で表面導電型の半導体装置が完成する。

【0003】

【発明が解決しようとする課題】 通常、短チャネル効果およびパンチスルーベ耐性の低下を防ぐため、拡散層の深さは浅くする必要があるが、上述したような形成方法においては、図8の工程において、Pチャネル素子のゲート電極中にイオン注入したボロンは拡散係数が大きいため、半導体基板表面まで拡散して素子特性を大きく変動させることになる。これを防ぐにはイオン注入後の拡散を極力抑えることになるが、Nチャネル素子のゲート電極中にイオン注入するヒ素あるいはリンはボロンに比べ拡散係数が小さいため、充分に拡散されず、ゲート電極中の抵抗が上昇し、N型素子の駆動力の劣化を招くことになる。

【0004】 本発明は上記事情に鑑みてなされたもの

30 で、その目的とするところは、各ゲート電極中に不純物を充分に拡散し、トランジスタの駆動力を向上させることができ半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】 上記課題を解決するため本発明では、N型の不純物を導入したゲート電極のアニール時間がP型の不純物を導入したゲート電極のアニール時間より長くなるようにしたことを特徴とする。

【0006】

40 【作用】 上記のように、P型よりもN型のゲート電極のアニールを長く行うことによって、N型、P型両イオンの拡散係数の差を補い、ゲート電極中の不純物の導入をN型、P型共に充分に行うことができる。

【0007】

【実施例】 (実施例1) 以下、本発明の実施例を図面を参照しながら説明する。図1～図4はこの発明の実施例に係わる半導体装置の製造方法を示す工程図である。

【0008】 まず、シリコン基板11上にP型およびN型ウエル領域12、13を形成した後、例えば選択酸化法により、1000°Cで、素子分離用絶縁膜14を70

3

0 nmの厚さに形成する。その後、表面をHClとO₂の雰囲気中、およそ750°Cで熱酸化して、ゲート絶縁膜となるシリコン酸化膜15を10nmの厚さに形成した後、全面に例えれば減圧CVD法により、SiH₄の雰囲気で、ゲート電極となる多結晶シリコン膜17を200nmの厚さに堆積形成する。次にレジストを塗布し、露光、現像を行って、N型MOSFETの形成予定領域以外の領域にレジストパターン16を形成する(図1)。

次に、例えればN型の不純物となるヒ素を、レジストパターン16をマスクとしてN型MOSFET側の多結晶シリコン膜17に、注入エネルギー30KeV、注入量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件下で、イオン注入した後、例えればラピッドサーマルアニール技術を用いて、タンゲステンのフィラメントを用いたランプで短時間照射し、1000°Cで、20秒程度、アニールを行う。このときの温度1000°Cは、短時間で不純物を活性化するのに充分な温度であり、しかもアニール時間は20秒程度と短いため、不純物の深さ方向への拡散を防ぐことができる。

【0009】また、このN型MOSFETの形成予定領域へのN型の不純物の導入方法としては、リン拡散も考えられる。この場合、図1におけるレジスト層16に替えて、リン拡散の際の導入ガスであるPOCl₃耐性の強い窒化膜を用いる。窒化膜はSiH₂Cl₂とNH₃の混合比が1:1の混合ガス中で、0.6Torr、700°Cの条件下で、10nmの厚さに形成する。パテーニングにより、窒化膜がP型MOSFET形成予定領域にのみ残るように形成した後、POCl₃雰囲気中、850°Cに加熱してリン拡散を行う。

【0010】これらの工程により、N型ゲート電極は、そのゲート絶縁膜との界面付近の不純物濃度が $2 \times 10^{20} \text{ cm}^{-3}$ 程度となるように形成される。次に、レジスト膜または、窒化膜をCDE(ケミカルドライエッティング)によって除去し、多結晶シリコン層17a、17bをパテーニングしてそれぞれのFETのゲート電極を形成する(図2)。

【0011】次に、MOSFETのチャネルと同タイプのイオン窓をゲート電極及びゲート電極の両側のP型及びN型ウエル層に、自己整合的にイオン注入して拡散させ、ソース領域およびドレイン領域となるN型拡散層18a、18b、P型拡散層19a、19bを形成する(図3)。イオン注入の条件はN型領域では例えばヒ素を用い、注入エネルギー30KeV、注入量 $5 \times 10^{15} \text{ cm}^{-2}$ 、P型領域ではボロンを用い、注入エネルギー15KeV、注入量 $2 \times 10^{15} \text{ cm}^{-2}$ とした。

【0012】この後、初めにN型MOSFET形成予定領域に行った時と同様に、ラピッドサーマルアニール法を用いて、1000°C、20秒で、ゲート電極17a、17b、拡散層18a、18b、19a、19bをアニールした。

4

【0013】ここで、図示はしていないが、図2と図3の間で、P型MOSFET形成領域上にレジスト層を形成し、N型MOSFET形成領域に、N型素子、例えればヒ素を注入し、次にP型MOSFET形成領域上のレジスト層をCDEにより除去した後、N型MOSFET形成領域上にレジスト層を形成し、P型MOSFET形成領域にP型素子、例えればボロンを注入した後、全領域に不純物が注入された状態で、ラピッドサーマルアニール法を用いて、1000°C、20秒で、アニールを行っている。

【0014】以上の工程により、N型ゲート電極、P型ゲート電極のゲート絶縁膜との界面付近の不純物濃度は、それぞれ、 $2 \sim 3 \times 10^{20} \text{ cm}^{-3}$ 、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度となる。さらに、ゲート絶縁膜下のチャネル層の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ より大きくなると、ゲート電極に電圧をかけない状態でチャネル層に電流が流れてしまい、ドレイン電流の制御がしにくくなるが、この方法を用いることにより、拡散係数の大きいボロンのゲート電極下のゲート絶縁膜への拡散を防ぐ事ができ、P型、N型共にチャネル層の不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以下に保つことができる。また、N型、P型各々の拡散層の深さは0.1μm程度と充分浅く形成することができ、N型拡散層の不純物濃度は $2 \times 10^{20} \text{ cm}^{-3}$ 、P型拡散層の不純物濃度は $5 \times 10^{20} \text{ cm}^{-3}$ 程度となる。

【0015】この後、全面にシリコン酸化膜などの層間絶縁膜20をCVD法により堆積形成し、この層間絶縁膜に拡散層及びゲート電極に達するコンタクトホールを開け電極配線21を形成する(図4)。これによって、N型、P型共に、ゲート電極中への不純物拡散が充分に行われたFETが完成する。

【0016】以上、述べてきたように、CMOS構造において、P型よりもN型のゲート電極への不純物拡散を長く行う事により、N型、P型両イオンの拡散係数の差を補い、双方の不純物の導入を充分に行うことが可能となり、素子性能の劣化を避けることができる。

(実施例2) 実施例1と同様に、N型領域のゲート電極に余分に不純物拡散を行う他の実施例を以下に説明する。

【0017】この方法では、最初にN型領域以外の領域にレジスト層を形成する必要は無く図1の工程でレジストパターン16の形成は省かれる。即ち、実施例1と同様にシリコン基板上にP型及びN型ウエル層12、13を形成した後、素子分離用絶縁膜14、酸化膜15、多結晶シリコン膜17を形成し、パテーニングによりP型、N型ゲート電極17a、17bを形成する(図2)。

【0018】ここで、実施例2では、P型MOSFET形成領域上にレジスト層51が形成された状態で(図5)、レジストパターン51をマスクとして、N型MOSFET形成領域のゲート電極にN型不純物、ヒ素を注

5

入エネルギー30KeV、注入量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度で注入した後、ラピッドサーマルアニール法を用いて、1100°C、20秒で、N型MOSFET形成領域のゲート電極のアニールを行う。次に、再度、N型MOSFET形成領域に、ヒ素を注入エネルギー30KeV、注入量 $5 \times 10^{15} \text{ cm}^{-2}$ で注入し、P型MOSFET形成領域上のレジスト層51をCDEにより除去した後、N型MOSFET形成領域上にレジスト層61を形成し、これをマスクとして、P型MOSFET形成領域のゲート電極、ソース、ドレインにP型不純物、例えはボロンを注入エネルギー15KeV、注入量 $2 \times 10^{15} \text{ cm}^{-2}$ 程度に注入する(図6)。この後、N型MOSFET形成領域上のレジスト層61をCDEにより除去し、ラピッドサーマルアニール法を用いて、1000°C、20秒で、アニールを行い、不純物拡散を行い、先述図3の構造を得る。

【0019】この方法では実施例1に比べ、図1のレジストパターン16の形成工程が省かれる為、全体の工程数は少なくなるが、N型のゲート電極パターンが形成された状態で、1回目の不純物拡散が行われるため、P型ウエル層にも不純物が拡散され、その結果、2回目の不純物拡散を行った後には、ボロン程顕著ではないがN型拡散層がやや深くなる場合がある。しかし、所望により注入する1回目のN型不純物の濃度を少なくしたり、アニール時間を短くすれば、N型ゲート電極中に充分不純物が拡散された状態で、N型拡散層の深さも充分浅くすることができる。この後の工程(図4)は実施例1と同様に行う。

【0020】

6

【発明の効果】以上説明したように、本発明によればN型ゲート電極のアニールをP型ゲート電極のアニールより長く行う事により、Pチャネル素子とNチャネル素子の拡散係数の差を補い、ゲート電極中の不純物の導入をN型、P型共に十分に行うことができるため、ゲート電極中の抵抗が下げられ、素子の性能劣化を抑制できるようになる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を説明する断面図

【図2】 本発明の第1の実施例を説明する断面図

【図3】 本発明の第1の実施例を説明する断面図

【図4】 本発明の第1の実施例を説明する断面図

【図5】 本発明の第2の実施例を説明する断面図

【図6】 本発明の第2の実施例を説明する断面図

【図7】 従来例を説明する断面図

【図8】 従来例を説明する断面図

【符号の説明】

1、11…シリコン基板、

2、12…P型ウエル領域、

3、13…N型ウエル領域、

4、14…素子分離用絶縁膜、

5、15…ゲート絶縁膜、

16、51、61…レジストパターン、

6a, 6b, 17a, 17b…ゲート電極、

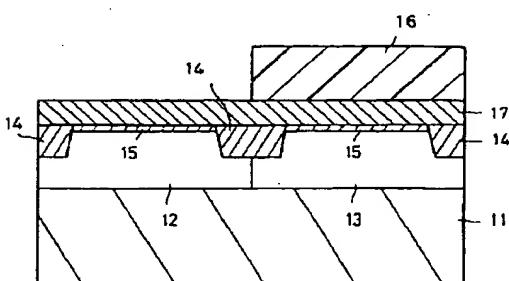
7a, 7b, 18a, 18b、

8a, 8b, 19a, 19b…拡散層、

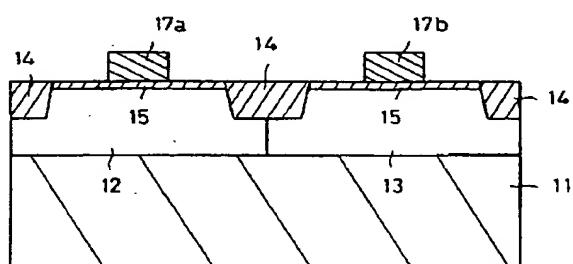
9、20…層間絶縁膜、

10、21…電極配線。

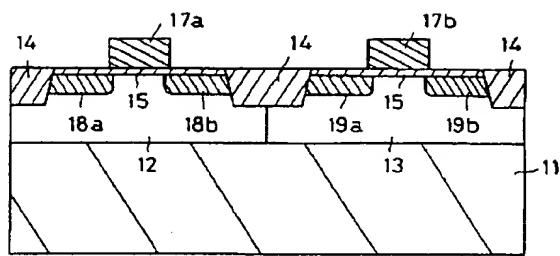
【図1】



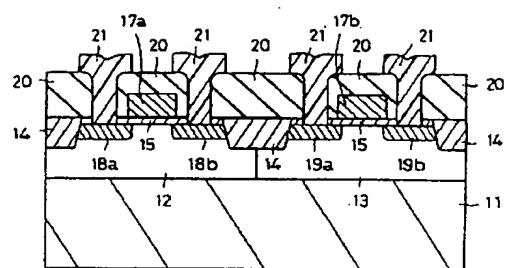
【図2】



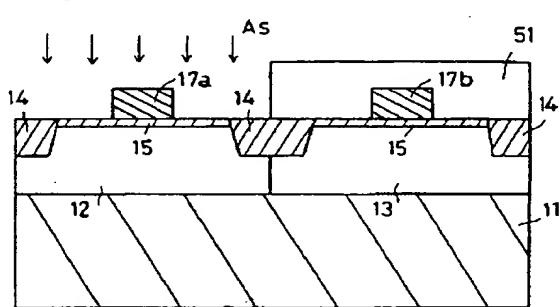
【図3】



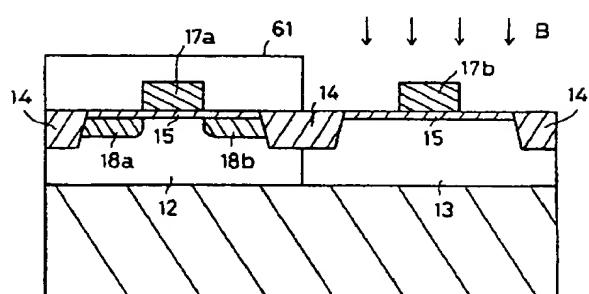
【図4】



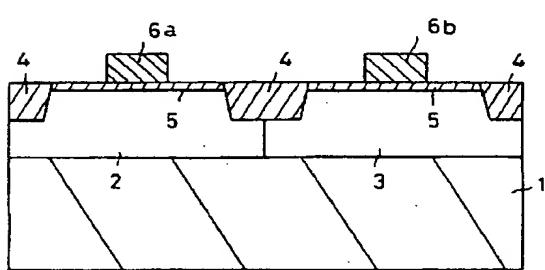
【図5】



【図6】



【図7】



【図8】

